

⑫ 公開特許公報(A) 平4-141900

⑬ Int. Cl.<sup>9</sup>

G 11 C 29/00  
H 01 L 21/82

識別記号

3 0 2

庁内整理番号

8526-5L

⑭ 公開 平成4年(1992)5月15日

7638-4M H 01 L 21/82

T

審査請求 未請求 請求項の数 2 (全8頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 平2-264407

⑰ 出 願 平2(1990)10月1日

⑱ 発 明 者 高 見 沢 桂 神奈川県川崎市中原区小杉町1丁目403番53 日本電気アイシーマイコンシステム株式会社内

⑲ 発 明 者 西 口 幸 弘 神奈川県川崎市中原区小杉町1丁目403番53 日本電気アイシーマイコンシステム株式会社内

⑳ 出 願 人 日本電気アイシーマイコンシステム株式会社 神奈川県川崎市中原区小杉町1丁目403番53

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体集積回路

特許請求の範囲

1. 誤り訂正機能を有するプログラム可能な読出し専用メモリを内蔵する半導体集積回路において、

前記プログラム可能な読出し専用メモリの番地を指定するアドレス入力手段と、

外部から入力されるデータを格納する1組のデータ・ビット・セルと、データ誤りを訂正するために、前記1組のデータ・ビット・セルの内容に対応する検査ビットを格納する1組の検査ビット・セル、とをそれぞれ複数個含む前記プログラム可能な読出し専用メモリと、

前記1組のデータ・ビット・セルにプログラムされるデータが、前記プログラム可能な読出し専用メモリのデータ消去状態と同値であった場合、

前記データのプログラム時に、前記データ消去状態と同値の検査ビットを生成して、前記1組の検査ビット・セルにプログラムする検査ビット生成手段と、

データ誤り発生時、前記アドレス入力手段の指定に従って、前記1組のデータ・ビット・セルならびに1組の検査ビット・セルから、それぞれ同時に読出されるデータ・ビットならびに検査ビットを介して、データ誤りを訂正する誤り訂正手段と、

を備えることを特徴とする半導体集積回路。

2. 誤り訂正機能を有するプログラム可能な読出し専用メモリを内蔵する半導体集積回路において、

前記プログラム可能な読出し専用メモリの番地を指定するアドレス入力手段と、

前記アドレス入力手段を介して番地指定され、外部から入力されるデータを格納する1組のデータ・ビット・セルと、データ誤りを訂正するために、前記アドレス入力手段を介して番地指定さ

れ、前記1組のデータ・ビット・セルの内容に対応する検査ビットを格納する1組の検査ビット・セル、とをそれぞれ複数含む前記プログラム可能な読出し専用メモリと、

前記1組のデータ・ビット・セルにプログラムされるデータが、前記プログラム可能な読出し専用メモリのデータ消去状態と同値であった場合、前記データのプログラム時に、外部から入力される前記データ消去状態と同値の検査ビットを、前記アドレス入力手段の指定する検査セルにプログラムする検査ビット生成手段と、

データ誤り発生時、前記アドレス入力手段の指定に従って、前記1組のデータ・ビット・セルならびに1組の検査ビット・セルから、それぞれ同時に読出されるデータ・ビットならびに検査ビットを介して、データ誤りを訂正する誤り訂正手段と、

を備えることを特徴とする半導体集積回路。

#### 発明の詳細な説明

TD<sub>0</sub>～TD<sub>3</sub>に接続され、リード信号RDが“0”の時には、出力バッファとして動作してデータ信号D<sub>0</sub>～D<sub>3</sub>を出力し、プログラム信号PRGが“0”の時には、入力バッファとして動作してデータ信号D<sub>0</sub>～D<sub>3</sub>を入力する。以下に、PROM 504に対するデータ信号のプログラムについて説明する。

アドレス端子A<sub>0</sub>～A<sub>3</sub>からアドレス信号が入力されると、アドレス信号は、アドレスバッファ502を通してPROM 504に入力され、PROM 504のアドレスが指定される。プログラム信号PRGを“0”にし、データ入出力端子TD<sub>0</sub>～TD<sub>3</sub>からデータ信号D<sub>0</sub>～D<sub>3</sub>を入力すると、データ入出力バッファ501および検査ビット生成回路503に、それぞれデータ信号D<sub>0</sub>～D<sub>3</sub>が入力される。

PROM 504に対しては、4ビットのデータ入出力バッファ501より出力された4ビットのデータ信号D<sub>0</sub>～D<sub>3</sub>が、PROM 504のデータ・ビット部に入力され、検査ビット生成回路503よりの出力データであるC<sub>0</sub>～C<sub>3</sub>が、PROM 504の検査ビ

#### 〔産業上の利用分野〕

本発明は半導体集積回路に関し、特に、誤り訂正機能を有するプログラム可能な読出し専用メモリを内蔵する集積回路に関する。

#### 〔従来の技術〕

従来の誤り訂正機能を有するプログラム可能な読出し専用メモリ（以下、PROMと略称する）を内蔵する半導体集積回路のブロック図を、第5図に示す。第5図において、アドレス信号は外部アドレス端子A<sub>0</sub>～A<sub>3</sub>に入力され、アドレス・バッファ502を介してPROM 504に入力される。リード信号RDは、アクティブ（“0”）のときにPROM 504に対するデータ読出しを指示する信号で、PROM 504に入力される。プログラム信号PRGは、アクティブ（“0”）のときにPROM 504に対するデータ書き込みを指示する信号で、PROM 504に入力されている。データ信号D<sub>0</sub>～D<sub>3</sub>は、データ入力バッファ501を介して、データ入出力端子TD<sub>0</sub>～TD<sub>3</sub>から入出力される。データ入出力バッファ501は、データ入出力端子

部に入力される。従って、外部アドレス端子A<sub>0</sub>～A<sub>3</sub>により示されるPROM 504のデータのビット数は8ビットとなる。

リード信号RDが“0”の時、外部アドレス端子A<sub>0</sub>～A<sub>3</sub>により示されるPROM 504のデータ内容が8ビットにて読出される。この8ビットのデータは誤り訂正回路505に入力されて、PROM 504にプログラムされたデータに1ビットの誤りが発生した場合に、所定の検査信号を使用して、当該誤りを訂正されたデータ信号D<sub>0</sub>'～D<sub>3</sub>'を出力する。データ信号D<sub>0</sub>'～D<sub>3</sub>'は、データ入出力バッファ501を通して、データ入出力端子TD<sub>0</sub>～TD<sub>3</sub>より出力される。

次に、検査ビット生成回路503および誤り訂正回路505について具体的な説明を行う。第6図は、検査ビット生成回路503の詳細な回路図である。第6図において、4ビットのデータ信号D<sub>0</sub>～D<sub>3</sub>の入力に対応して、EXOR回路600～603を介して検査信号C<sub>0</sub>～C<sub>3</sub>が出力される。

データ信号D<sub>0</sub>～D<sub>3</sub>から検査信号C<sub>0</sub>～C<sub>3</sub>を生成す

る論理式は、次式のとうりである。なお、ここで“ $\oplus$ ”は排他的論理和を示す。

$$\left. \begin{aligned} C_0 &= D_0 && \oplus D_3 \\ C_1 &= D_0 \oplus D_1 \\ C_2 &= && D_1 \oplus D_2 \\ C_3 &= && D_2 \oplus D_3 \end{aligned} \right\} \dots \dots (1)$$

第6図においては、検査ビット生成回路503は、EXOR回路600～603により構成されており、検査信号 $C_0$ を出力するEXOR回路600は、上記(1)式にて示されるように、データ信号 $D_0$ および $D_3$ を入力としている。検査信号 $C_1 \sim C_3$ を出力するEXOR回路601～603においても同様で、それぞれデータ信号 $D_0$ および $D_1$ 、 $D_1$ および $D_2$ 、 $D_2$ および $D_3$ を入力としている。

第7図は、誤り訂正回路505の詳細な回路図であり、PROM504のデータ・ビット部から出力されるデータ信号 $D_0 \sim D_3$ と、検査ビット部から出力される検査信号 $C_0 \sim C_3$ とを入力とし、データ信号 $D_0 \sim D_3$ の内、1ビットの誤りが発生した場合には、その誤りを訂正して、訂正されたデータ信号

$D_0' \sim D_3'$ を出力する。勿論、誤りが発生していない場合には、 $D_0' \sim D_3'$ の代りに、本来のデータ信号 $D_0 \sim D_3$ が、そのままデータ信号として出力される。

また、PROM504からそれぞれ出力されるデータ信号 $D_0 \sim D_3$ および検査信号 $C_0 \sim C_3$ の入力に対応して、EXOR回路700～703においては、以下に示される(2)式に従って、誤りが発生したデータ信号の位置を示すコードを出力する。

$$\left. \begin{aligned} C_0' &= D_0 && \oplus D_3 \oplus C_0 \\ C_1' &= D_0 \oplus D_1 && \oplus C_1 \\ C_2' &= && D_1 \oplus D_2 \oplus C_2 \\ C_3' &= && D_2 \oplus D_3 \oplus C_3 \end{aligned} \right\} \dots \dots (2)$$

第8図に示される表1は、EXOR回路700～703の出力が、データ信号 $D_0 \sim D_3$ に対して、どの位置の信号に誤りがあるかを示す対応表である。

第7図におけるAND回路720～723においては、EXOR回路701～703から出力される信号が、前記表1に示される対応表に従いデコードされる。AND回路720～723はデータ信号 $D_0 \sim D_3$

に対応しており、誤りが発生した場合には、各誤りビットに対応しているそれぞれのAND回路がアクティブになる。例えば、データ信号 $D_0$ に誤りが発生した場合には、EXOR回路700,701,702および703の各出力は“1100”となり、AND回路720がアクティブ(“1”)となって、データ信号 $D_0$ に誤りが発生したことが判明する。この場合、データ信号 $D_0$ を反転してやれば、正しい(誤りの訂正された)データ信号が得られる。

EXOR回路710は、データ信号 $D_0$ とAND回路720の出力とを入力としており、前述したように、データ信号 $D_0$ に誤りが発生すると、AND回路720がアクティブ(“1”)となり、EXOR回路710の出力はデータ信号 $D_0$ の反転出力となり、誤りの訂正されたデータ信号 $D_0'$ が得られる。また、EXOR回路711～713は、EXOR回路710と同様に、データ信号 $D_1 \sim D_3$ とAND回路721～723の出力とを入力して、誤りの訂正されたデータ信号 $D_1' \sim D_3'$ を出力する。

(発明が解決しようとする課題)

上述した従来の誤り訂正機能を有するプログラム可能な読出し専用メモリを内蔵する半導体集積回路においては、データ信号をプログラムしない場合、データ・ビット・セルはPROMの消去状態、即ち、全ビットが“1”となっているため、データ信号が全ビット“1”の場合には、データ・ビットをプログラムする必要がない。しかし、この時点における検査ビットは、第6図に示されるEXOR回路600～603の出力に対応するため、全ビット“0”となり、検査ビットの領域に対しては、“0”をプログラムする必要がある。

従って、前記誤り訂正回路を有するPROMを内蔵する半導体集積回路のプログラム時間は、データ信号が全ビット“1”となっているデータであっても、検査ビットをプログラムする必要があるために、データ信号の書き込み時間が長くなるという欠点がある。

(課題を解決するための手段)

本発明の半導体集積回路は、誤り訂正機能を有するプログラム可能な読出し専用メモリを内蔵す

る半導体集積回路において、前記プログラム可能な読出し専用メモリの番地を指定するアドレス入力手段と、外部から入力されるデータを格納する1組のデータ・ビット・セルと、データ誤りを訂正するために、前記1組のデータ・ビット・セルの内容に対応する検査ビットを格納する1組の検査ビット・セル、とをそれぞれ複数個含む前記プログラム可能な読出し専用メモリと、前記1組のデータ・ビット・セルにプログラムされるデータが、前記プログラム可能な読出し専用メモリのデータ消去状態と同値であった場合、前記データのプログラム時に、前記データ消去状態と同値の検査ビットを生成して、前記1組の検査ビット・セルにプログラムする検査ビット生成手段と、データ誤り発生時、前記アドレス入力手段の指定に従って、前記1組のデータ・ビット・セルならびに1組の検査ビット・セルから、それぞれ同時に読出されるデータ・ビットならびに検査ビットを介して、データ誤りを訂正する誤り訂正手段と、を備えて構成される。

データ・ビット・セルならびに1組の検査ビット・セルから、それぞれ同時に読出されるデータ・ビットならびに検査ビットを介して、データ誤りを訂正する誤り訂正手段と、を備えて構成してもよい。

#### (実施例)

次に、本発明について図面を参照して説明する。第1図は、本発明の第1の実施例のブロック図である。第1図に示されるように、本実施例は、データ入出力バッファ101と、アドレス・バッファ102と、検査ビット生成回路103と、PROM104と、誤り訂正回路105と、を備えて構成される。この構成は、第5図に示される従来例の構成と同様であるが、検査ビット生成回路103および誤り訂正回路105の内部構成、機能において従来例の場合とは大いに異にしている。

本実施例における検査ビット生成回路103および誤り訂正回路105の、従来例との相違点を以下に説明する。

第2図は、本実施例の検査ビット生成回路103

また、本発明の半導体集積回路は、誤り訂正機能を有するプログラム可能な読出し専用メモリを内蔵する半導体集積回路において、前記プログラム可能な読出し専用メモリの番地を指定するアドレス入力手段と、前記アドレス入力手段を介して番地指定され、外部から入力されるデータを格納する1組のデータ・ビット・セルと、データ誤りを訂正するために、前記アドレス入力手段を介して番地指定され、前記1組のデータ・ビット・セルの内容に対応する検査ビットを格納する1組の検査ビット・セル、とをそれぞれ複数個含む前記プログラム可能な読出し専用メモリと、前記1組のデータ・ビット・セルにプログラムされるデータが、前記プログラム可能な読出し専用メモリのデータ消去状態と同値であった場合、前記データのプログラム時に、外部から入力される前記データ消去状態と同値の検査ビットを、前記アドレス入力手段の指定する検査セルにプログラムする検査ビット生成手段と、データ誤り発生時、前記アドレス入力手段の指定に従って、前記1組のデー

の詳細な回路図で、4ビットのデータ信号 $D_0 \sim D_3$ が入力され、検査信号 $C_0 \sim C_3$ を出力する。この場合におけるデータ信号 $D_0 \sim D_3$ から検査信号 $C_0 \sim C_3$ を生成する論理式を下記の(3)式に示す。

$$\left. \begin{aligned} C_0 &= D_0 && \oplus D_3 \\ C_1 &= D_0 \oplus D_1 && \\ C_2 &= && D_1 \oplus D_2 \\ C_3 &= && D_2 \oplus D_3 \end{aligned} \right\} \dots \dots (3)$$

第2図の検査ビット生成回路103は、EXNORゲート200～203を用いて構成されており、検査信号 $C_0$ を出力するEXNORゲート200は、上記(3)式に示されているように、データ信号 $D_0$ および $D_3$ を入力としている。検査信号 $C_1 \sim C_3$ を出力するEXNORゲート201～203についても同様である。

第2図に示される本実施例における検査信号 $C_0 \sim C_3$ は、第6図に示される従来例の回路図における検査信号 $C_0 \sim C_3$ に対して反転関係になっていることが分る。従って、データ信号 $D_0 \sim D_3$ が全ビット“1”の場合には、検査信号 $C_0 \sim C_3$ は全ビット

“1”となるような回路構成となっている。

第3図は、本実施例における誤り訂正回路105の詳細な回路図である。第3図において、PROM104のデータ・ビット部から出力されるデータ信号 $D_0 \sim D_3$ と、検査ビット部から出力される検査信号 $C_0 \sim C_3$ とを入力とし、 $D_0 \sim D_3$ の内において1ビットの誤りが発生した場合には、その誤りを訂正し、訂正されたデータ信号 $D_0' \sim D_3'$ を出力する。勿論、誤りが発生していない場合には、データ信号 $D_0' \sim D_3'$ の代りに、データ信号 $D_0 \sim D_3$ がそのままのデータ信号として出力される。

インバータ330～333は、第2図における検査ビット生成回路において、従来例とは反転関係において生成される検査信号 $C_0 \sim C_3$ を入力して、従来例と同様の関係に復号させる。従って、EXORゲート300～303においては、下記の(4)式に従って、PROM104から出力されるデータ信号 $D_0 \sim D_3$ と、インバータ330～333の出力とを入力して、誤りが発生したデータ信号の位置を示すコードを出力する。

$$\left. \begin{aligned} C_0' &= D_0 && \oplus D_3 \oplus C_0 \\ C_1' &= D_0 \oplus D_1 && \oplus C_1 \\ C_2' &= & D_1 \oplus D_2 & \oplus C_2 \\ C_3' &= & & D_2 \oplus D_3 \oplus C_3 \end{aligned} \right\} \dots (4)$$

第9図に示される表2は、EXORゲート300～303の出力が、データ信号 $D_0 \sim D_3$ に対して、どのビットが誤っているかを示す対応表である。

第3図に示されるANDゲート320～323においては、入力されるEXORゲートの出力信号を、前記表2に従ってデコードしている。ANDゲート320～323は、データ信号 $D_0 \sim D_3$ に対応しており、誤りが発生した場合、各誤り信号に対応した各ANDゲートがそれぞれアクティブになる。例えば、データ信号 $D_0$ に誤りが発生した場合には、EXORゲート300, 301, 302 および 303 の出力は“1100”となり、ANDゲート320がアクティブ(“1”)となって、データ信号 $D_0$ に誤りが発生したことが分り、データ信号 $D_0$ を反転してやれば、正しい(誤りの訂正された)信号が得られる。

EXORゲート310は、データ信号 $D_0$ と、ANDゲート320の出力とを入力としている。前述したように、データ信号 $D_0$ に誤りが発生すると、ANDゲート320がアクティブ(“1”)となり、EXORゲート310の出力はデータ信号 $D_0$ の反転信号として出力され、誤りが訂正されたデータ信号 $D_0'$ のビットが得られる。EXORゲート311～313は、EXORゲート310の場合と同様に、データ信号 $D_0 \sim D_3$ と、ANDゲート321～323の出力とを入力とし、誤りの訂正されたデータ信号 $D_0' \sim D_3'$ を出力する。

次に、本発明の第2の実施例について説明する。第4図は、本実施例のブロック図である。第4図に示されるように、本実施例は、データ入出力バッファ401と、アドレス・バッファ402と、PROM403と、誤り訂正回路404と、を備えて構成される。この構成は、第1図に示される第1の実施例の構成から検査ビット生成回路103を除去し、その代りに、外部において生成された検査ビットを、第4図のデータ入出力バッファ401を

介して、外部からのプログラムを可能にしたものである。

本実施例においては、PROM403におけるデータ・ビット部と検査ビット部は、PROM403の異なるアドレスに配置されており、データ・ビットのアドレスの最上部ビットを反転させたアドレスにある検査ビットが、そのデータ・ビットに対応する検査ビットとなっている。

外部アドレス端子 $A_0 \sim A_n$ に入力されるアドレス信号の内、外部アドレス端子 $A_0 \sim A_{n-1}$ に入力されるアドレス信号( $a_0 \sim a_{n-1}$ )は、アドレス・バッファ402を介して、直接PROM403のデータ・ビット部と検査ビット部に入力される。プログラム信号 $\overline{PRG}$ は、残りの外部アドレス端子 $A_n$ に入力されるアドレス信号( $a_n$ )とともに、NANDゲート405を介してPROM403のデータ・ビット部に入力され、更に、NANDゲート406を介してPROM403の検査ビット部に入力される。

リード信号 $\overline{RD}$ は、PROM403のデータ・ビット部と検査ビット部に入力されており、データ

入出力端子TD<sub>0</sub>～TD<sub>3</sub>に入力されるデータ信号D<sub>0</sub>～D<sub>3</sub>は、データ入出力バッファ401を介してPROM403に入力される。

本実施例におけるデータの入出力は、前述の従来例および第1の実施例の場合と同様に行われるが、検査ビット部およびデータ・ビット部のプログラム方法および読出し方法に差異がある。

データ入出力端子TD<sub>0</sub>～TD<sub>3</sub>に入力されるデータ信号D<sub>0</sub>～D<sub>3</sub>は、プログラム信号 $\overline{\text{PRG}}$ がアクティブ("0")であり、且つ、アドレス信号(a<sub>0</sub>)が"0"である時には、NANDゲート405がアクティブ("0")となって、アドレス信号(a<sub>0</sub>～a<sub>n-1</sub>)で示されるPROM403のデータ・ビット部にプログラムされる。

データ入出力端子TD<sub>0</sub>～TD<sub>3</sub>に入力されるデータ信号D<sub>0</sub>～D<sub>3</sub>は、プログラム信号 $\overline{\text{PRG}}$ がアクティブ("0")であり、且つ、アドレス信号(a<sub>0</sub>)が"1"である時には、NANDゲート406がアクティブ("0")となって、アドレス信号(a<sub>0</sub>～a<sub>n-1</sub>)で示されるPROM403の検査ビット部

にプログラムされる。

以上の説明にて明らかなように、外部アドレス端子A<sub>0</sub>～A<sub>n</sub>から入力される、アドレス信号(a<sub>0</sub>～a<sub>n</sub>)にて示されるアドレス空間の内、アドレス信号(a<sub>0</sub>)が"0"であるアドレス空間は、データ・ビット部となり、アドレス信号(a<sub>0</sub>)が"1"であるアドレス空間は検査ビット部になっている。

リード信号 $\overline{\text{RD}}$ は、PROM403のデータ・ビット部および検査ビット部に、それぞれ、そのまま入力されているので、リード信号 $\overline{\text{RD}}$ がアクティブ("0")の時には、外部アドレス端子A<sub>0</sub>～A<sub>n-1</sub>により指定されるデータ・ビットと検査ビットが、同時に読出される。この読出されたデータ・ビットと検査ビットとは、データ信号D<sub>0</sub>～D<sub>3</sub>として誤り訂正回路404に入力され、誤り訂正されたデータ信号D<sub>0</sub>'～D<sub>3</sub>'が、データ入出力バッファ401を介して、データ入出力端子TD<sub>0</sub>～TD<sub>3</sub>から出力される。

誤り訂正回路404は、前記第1の実施例において説明された第3図に示されるブロック図と同様

であり、検査ビットとしては、従来例の場合と反転関係にある検査ビットが書込まれる。即ち、データ・ビットが全ビット"1"である場合には、検査ビットも全ビットが"1"となり、データ・ビットおよび検査ビットともにPROM403に書込む必要が無くなる。

(発明の効果)

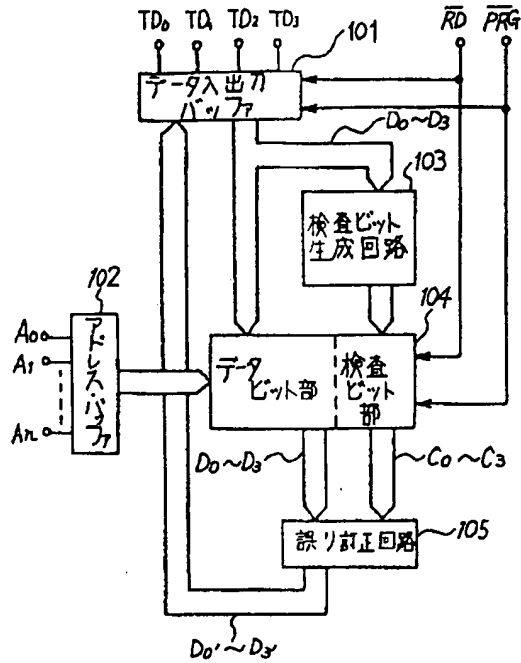
以上、詳細に説明したように、本発明は、誤り訂正機能を持つPROMを内蔵する半導体集積回路に適用されて、プログラムするデータ・ビットが全ビットPROMの消去状態("1")の時には、対応する検査ビットを全ビット"1"として、誤り訂正を行うことができる誤り訂正手段を備えることにより、データ・ビットが全ビット"1"である場合には、データ・ビットのプログラムを必要とせず、半導体集積回路におけるプログラム所要時間を短縮することができるという効果がある。

図面の簡単な説明

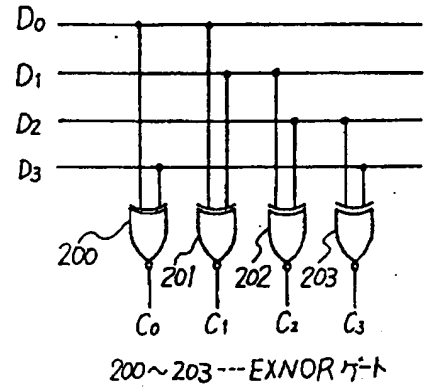
第1図および第4図は、それぞれ本発明の第1および第2の実施例を示すブロック図、第2図は、前記第1の実施例における検査ビット生成回路の回路図、第3図は、前記第1および第2の実施例における誤り訂正回路の回路図、第5図は従来例のブロック図、第6図および第7図は、それぞれ前記従来例における検査ビット生成回路の回路図および誤り訂正回路の回路図、第8図および第9図は、それぞれ従来例および本発明の実施例におけるEXOR出力と誤り信号との対応表を示す図である。

図において、101,401,501 ……データ入出力バッファ、102,402,502 ……アドレス・バッファ、103,403,503 ……検査ビット生成回路、104,403,504 ……PROM、105,404,505 ……誤り訂正回路、200～203 ……EXNORゲート、300～303,310～313、600～603 ……EXORゲート、320～323,720～723 ……ANDゲート、330～333 ……インバータ、405,406 ……NANDゲート。

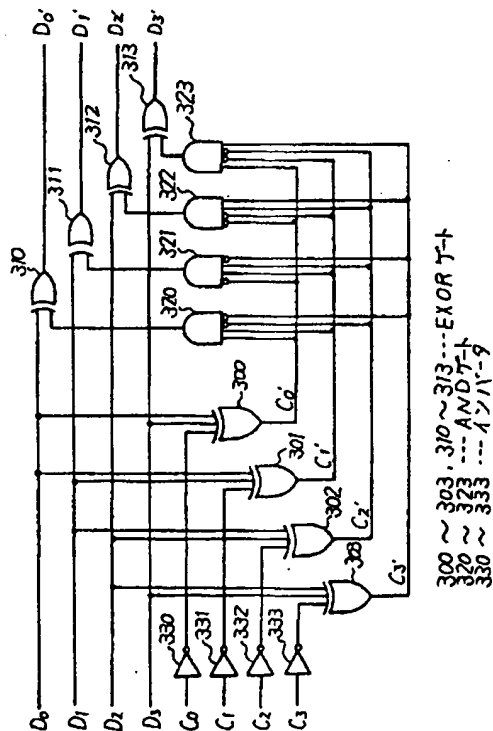
代理人 弁理士 内原 晋



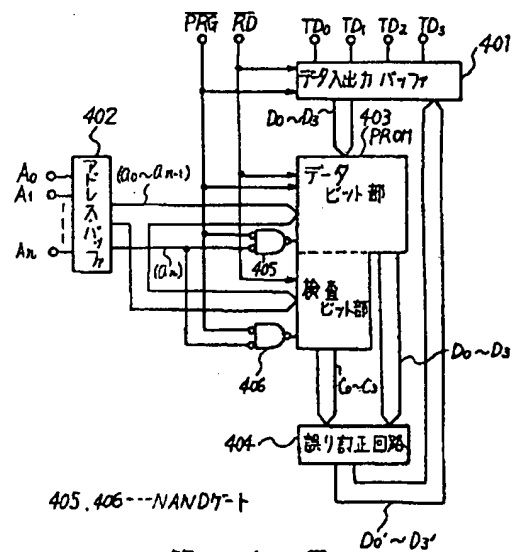
第 1 図



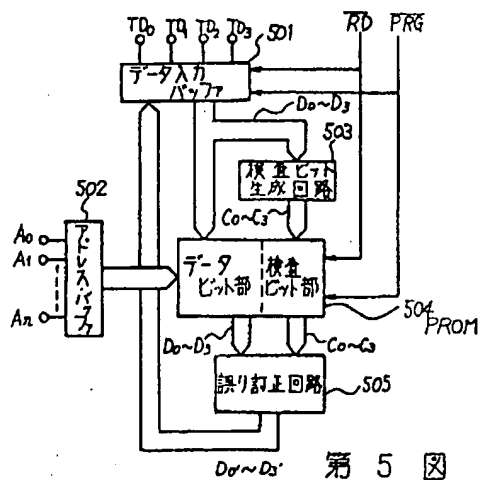
第 2 図



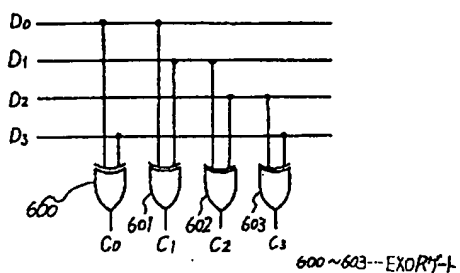
第 3 図



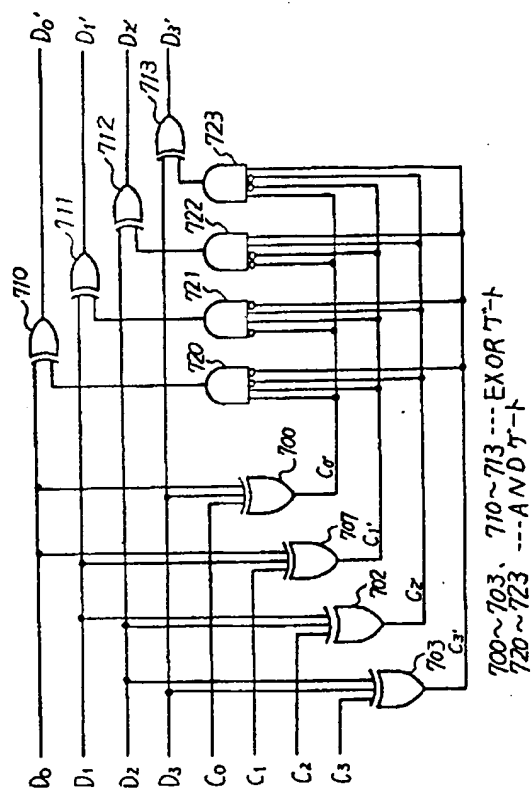
第 4 図



第 5 図



第 6 図



第 7 図

		各 EXOR の出力状態			
		EXOR 700	EXOR 701	EXOR 702	EXOR 703
誤り発生 信号	D <sub>0</sub>	1	1	0	0
	D <sub>1</sub>	0	1	1	0
	D <sub>2</sub>	0	0	1	1
	D <sub>3</sub>	1	0	0	1

第 8 図

		各 EXOR の出力状態			
		EXOR 300	EXOR 301	EXOR 302	EXOR 303
誤り発生 信号	D <sub>0</sub>	1	1	0	0
	D <sub>1</sub>	0	1	1	0
	D <sub>2</sub>	0	0	1	1
	D <sub>3</sub>	1	0	0	1

第 9 図